

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-344318

(43)Date of publication of application : 29.11.2002

(51)Int.Cl.

H03M 1/66
G09G 3/20
G09G 3/36
H04N 5/66

(21)Application number : 2001-148175

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 17.05.2001

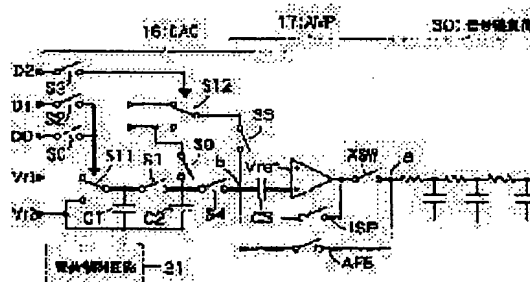
(72)Inventor : NAKAMURA TAKU

(54) DIGITAL-ANALOG CONVERTER CIRCUIT, DISPLAY AND DIGITAL- ANALOG CONVERSION METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a digital-analog converter circuit, a display and a digital- analog converting method which reduces the time required for conversion.

SOLUTION: The circuit comprises a capacitor element C1 capable of storing charges according to the values of other bits of digital image data than the most significant bit, a capacitor element C2 capable of re-assigning stored charges with the element C1, a capacitor element C3 capable of storing charges according to the value of the most significant bit of the digital image data, and a charge control circuit 31. The circuit 31 stores the charges according to the values of other bits of digital image data than the most significant bit in the element C1 one after another, repeatedly processes re-assigning the stored charges between the elements C1, C2 every bit other than the most significant bit of the image data, stores the charges according to the value of the most significant bit of the image data in the element C3, and re-assigns the stored charges between the elements C2, C3.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-344318

(P2002-344318A)

(43) 公開日 平成14年11月29日 (2002. 11. 29)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 3 M 1/66		H 0 3 M 1/66	E 5 C 0 0 6
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 F 5 C 0 5 8
	6 4 2		6 4 2 A 5 C 0 8 0
	3/36		5 J 0 2 2
H 0 4 N 5/66	1 0 2	H 0 4 N 5/66	1 0 2 B
審査請求 未請求 請求項の数 8 O L (全 9 頁)			

(21) 出願番号 特願2001-148175(P2001-148175)

(22) 出願日 平成13年5月17日 (2001. 5. 17)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 中 村 卓

埼玉県深谷市幡羅町一丁目9番地2 株式
会社東芝深谷工場内

(74) 代理人 100075812

弁理士 吉武 賢次 (外4名)

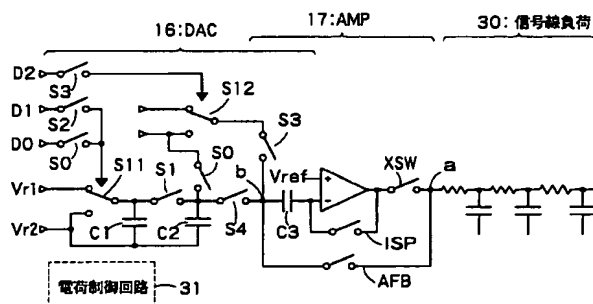
最終頁に続く

(54) 【発明の名称】 デジタルアナログ変換回路、表示装置およびデジタルアナログ変換方法

(57) 【要約】

【課題】 デジタルアナログ変換に要する時間を短縮できるデジタルアナログ変換回路、表示装置およびデジタルアナログ変換方法を提供する。

【解決手段】 デジタル画素データの最上位ビット以外の各ビットの値に応じた電荷を蓄積可能なキャパシタ素子C1と、キャパシタ素子C1との間で蓄積電荷を再配分可能なキャパシタ素子C2と、デジタル画素データの最上位ビットの値に応じた電荷を蓄積可能なキャパシタ素子C3と、デジタル画素データの最上位ビット以外の各ビットの値に応じた電荷を順にキャパシタ素子C1に蓄積して、キャパシタ素子C2との間で蓄積電荷の再配分を行う処理をデジタル画素データの最上位ビット以外の各ビットごとに繰り返し行うとともにデジタル画素データの最上位ビットの値に応じた電荷をキャパシタ素子C3に蓄積し、その後、キャパシタ素子C2とキャパシタ素子C3との間で蓄積電荷の再配分を行う電荷制御回路31と、を備える。



【特許請求の範囲】

【請求項 1】第 1 の基準電圧と、この第 1 の基準電圧よりも電圧レベルの低い第 2 の基準電圧とに基づいて、 n (n は 2 以上の整数) ビットのデジタル信号に対応する電圧を出力するデジタルアナログ変換回路において、前記デジタル信号の最上位ビット以外の各ビットの値に応じた電荷を蓄積可能な第 1 キャパシタ素子と、前記第 1 キャパシタ素子との間で蓄積電荷を再分配可能な第 2 キャパシタ素子と、前記デジタル信号の最上位ビットの値に応じた電荷を蓄積可能な第 3 キャパシタ素子と、前記デジタル信号の最上位ビット以外の各ビットの値に応じた電荷を順に前記第 1 キャパシタ素子に蓄積して、前記第 2 キャパシタ素子との間で蓄積電荷の再分配を行う処理を前記デジタル信号の最上位ビット以外の各ビットごとに繰り返す行くとともに前記デジタル信号の最上位ビットの値に応じた電荷を前記第 3 キャパシタ素子に蓄積し、その後、前記第 2 キャパシタ素子と前記第 3 キャパシタ素子との間で蓄積電荷の再分配を行う電荷制御回路と、を備えることを特徴とするデジタルアナログ変換回路。

【請求項 2】前記第 1 キャパシタ素子と前記第 2 キャパシタ素子との間で蓄積電荷の再分配を行うか否かを切り替える第 1 切替回路と、前記デジタル信号の最上位ビットの値に応じた電荷を前記第 3 キャパシタ素子に蓄積するか否かを切り替える第 2 切替回路と、前記第 2 キャパシタ素子と前記第 3 キャパシタ素子との間で蓄積電荷の再分配を行うか否かを切り替える第 3 切替回路と、を備え、前記電荷制御回路は、前記デジタル信号の最上位ビット以外の各ビットごとに、各ビットの値に応じた電荷を前記第 1 キャパシタ素子に蓄積した後、前記第 1 切替回路をオンして、前記第 1 キャパシタ素子と前記第 2 キャパシタ素子との間で蓄積電荷の再分配を行い、かつ前記第 2 切替回路をオンして前記デジタル信号の最上位ビットの値に応じた電荷を前記第 3 キャパシタ素子に蓄積し、その後、前記第 3 切替回路をオンして前記第 2 キャパシタ素子と前記第 3 キャパシタ素子との間で蓄積電荷の再分配を行うことを特徴とする請求項 1 に記載のデジタルアナログ変換回路。

【請求項 3】前記第 2 の基準電圧に応じた電荷を前記第 2 キャパシタ素子に蓄積するか否かを切り替える第 4 切替回路を備え、前記電荷制御回路は、前記デジタル信号の最下位ビットに応じた電荷を前記第 1 キャパシタ素子に蓄積する際、前記第 4 切替回路をオンして前記第 2 基準電圧に応じた電荷を前記第 2 キャパシタ素子に蓄積することを特徴とする請求項 2 に記載のデジタルアナログ変換回路。

【請求項 4】負荷容量の電圧が第 1 の期間における前記

第 3 キャパシタ素子の蓄積電荷に応じた電圧と等しくなるように第 2 の期間に負荷容量に電圧供給を行う増幅器と、前記増幅器の入出力端子を短絡するか否かを切り替える第 5 切替回路と、を備え、

前記電荷制御回路は、前記デジタル信号の最上位ビット以外の各ビットごとに、各ビットの値に応じた電荷を前記第 1 キャパシタ素子に蓄積した後、前記第 1 切替回路をオンして、前記第 1 キャパシタ素子と前記第 2 キャパシタ素子との間で蓄積電荷の再分配を行い、その後、前記第 2 切替回路をオンして前記デジタル信号の最上位ビットの値に応じた電荷を前記第 3 キャパシタ素子に蓄積し、その後、前記第 3 切替回路をオンして前記第 2 キャパシタ素子と前記第 3 キャパシタ素子との間で蓄積電荷の再分配を行い、かつ、前記第 2 切替回路のオン期間中と前記第 3 切替回路のオン期間中とに、前記第 5 切替回路をオンして前記増幅器の入出力端子を短絡させることを特徴とする請求項 2 または 3 に記載のデジタルアナログ変換回路。

【請求項 5】前記増幅器の出力を負荷に供給するか否かを切り替える第 6 切替回路と、前記第 6 切替回路と前記負荷との接続点と、前記第 2 切替回路と前記第 3 キャパシタ素子との接続点と、の間に接続された第 7 切替回路と、を備え、前記電荷制御回路は、前記第 2 切替回路のオン期間中と前記第 3 切替回路のオン期間中とを除いて、前記第 6 および第 7 切替回路をオンして、前記第 2 切替回路と前記第 3 キャパシタ素子との接続点の電圧を前記負荷に供給することを特徴とする請求項 2～4 のいずれかに記載のデジタルアナログ変換回路。

【請求項 6】信号線および走査線の交点付近に配設された複数のスイッチング素子と、信号線を駆動する信号線駆動回路と、走査線を駆動する走査線駆動回路と、を備える表示装置であって、前記信号線駆動回路は、画素情報を表すデジタル信号をアナログ信号に変換する請求項 1～5 のいずれかに記載のデジタルアナログ変換回路を有し、前記デジタルアナログ変換回路の出力は、対応する信号線に供給されることを特徴とする表示装置。

【請求項 7】前記信号線駆動回路に供給された画像情報を表すデジタル信号のうち、上位ビット側のビット列に基づいて 2 種類の基準電圧を選択する基準電圧選択手段と、

前記第 1 および第 3 キャパシタ素子は、前記基準電圧選択手段で選択された 2 種類の基準電圧に応じた電荷を蓄積することを特徴とする請求項 6 に記載の表示装置。

【請求項 8】第 1 の電圧と第 2 の電圧との間の電圧であって、 n (n は 2 以上の整数) ビットのデジタル信号に対応する電圧を出力するデジタルアナログ変換方法において、

前記デジタル信号の最上位ビット以外の各ビットの値に応じた電荷を順に第1キャパシタ素子に蓄積して、第2キャパシタ素子との間で蓄積電荷の再配分を行う処理を前記デジタル信号の最上位ビット以外の各ビットごとに繰り返し行い、かつ前記デジタル信号の最上位ビットの値に応じた電荷を第3キャパシタ素子に蓄積し、その後、前記第2キャパシタ素子と前記第3キャパシタ素子との間で蓄積電荷の再配分を行うことを特徴とするデジタルアナログ変換方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル信号をアナログ信号に変換するデジタルアナログ変換回路、このデジタルアナログ変換回路を内蔵する表示装置、およびデジタルアナログ変換方法に関する。

【0002】

【従来の技術】液晶表示装置は、信号線および走査線がマトリクス状に配設された画素アレイ部と、信号線および走査線を駆動する駆動回路とを備えている。従来は、画素アレイ部と駆動回路とを別個の基板に形成していたため、液晶表示装置全体のコストダウンが図れなかった。

【0003】

【発明が解決しようとする課題】最近、ガラス基板上にポリシリコンを材料としてTFT(Thin Film Transistor)を形成する製造技術が進歩してきたため、この技術を利用して、画素アレイ部と駆動回路とを同一基板に形成することも技術的に十分に可能になってきた。

【0004】画素アレイ部の信号線には、アナログの画素電圧を供給する必要があるのに対し、駆動回路はゲート回路やフリップフロップ等のデジタル部品で構成されており、デジタル信号の状態で各種の信号処理を行う。このため、信号線を駆動する駆動回路(以下、信号線駆動回路)の内部にデジタルアナログ変換回路(以下、DAC)を設けて、DACで変換したアナログ信号を画素アレイ部に供給するのが一般的である。

【0005】図7はガラス基板上にポリシリコンTFTを用いて構成された従来のDACの回路図であり、特開平10-340072号公報に開示されているものである。図7のDACは、デジタル信号の各ビットの値に応じてスイッチSW1、SW2の一方をオンさせる。これにより、ノードAが基準電圧Vrefか接地電圧になる。当初はスイッチSW3はオフであり、キャパシタ素子C1に蓄積された電荷はキャパシタ素子C2に再配分される。以上の処理を、デジタル信号の各ビットについて繰り返し行う。

【0006】この処理が終了すると、スイッチSW4、SW5はオフになり、スイッチSW6、SW7はオンになる。これにより、ノードBの電圧はアンプの出力に転送され、負のフィードバックループ内のキャパシタ素子

C3に格納されているオフセット電圧が同時に差し引かれる。

【0007】以上の処理により、D/A変換後の電圧がアンプから出力される。D/A変換処理が終了した後に、スイッチSW8がオンになり、信号線書き込みが行われる。

【0008】図7のDACは、デジタル信号の各ビットごとに電荷の蓄積と再配分を行うため、D/A変換に時間がかかり、信号線の書き込み時間が短くなる。したがって、信号線が所望の電圧にまで上がりきれない、あるいは下がりきれないおそれがあり、輝度ムラ等がおきて表示品質が悪くなる。

【0009】また、図7のDACと、その後段のアンプは、信号線ごとに必要なため、消費電力が増大するとともに、回路の占有面積が大きくなり、額縁サイズを小さくできなくなる。

【0010】本発明は、このような点に鑑みてなされたものであり、その目的は、デジタルアナログ変換に要する時間を短縮できるデジタルアナログ変換回路、表示装置およびデジタルアナログ変換方法を提供することにある。

【0011】また、本発明の他の目的は、デジタルアナログ変換処理を行う期間とデジタルアナログ変換を行った結果を出力する期間とが一部重複するようにして、デジタルアナログ変換を行った結果を出力する期間が長くなるようにしたデジタルアナログ変換回路を提供することにある。

【0012】

【課題を解決するための手段】上述した課題を解決するために、本発明は、第1の基準電圧と、この第1の基準電圧よりも電圧レベルの低い第2の基準電圧とに基づいて、n(nは2以上の整数)ビットのデジタル信号に対応する電圧を出力するデジタルアナログ変換回路において、前記デジタル信号の最上位ビット以外の各ビットの値に応じた電荷を蓄積可能な第1キャパシタ素子と、前記第1キャパシタ素子との間で蓄積電荷を再配分可能な第2キャパシタ素子と、前記デジタル信号の最上位ビットの値に応じた電荷を蓄積可能な第3キャパシタ素子と、前記デジタル信号の最上位ビット以外の各ビットの値に応じた電荷を順に前記第1キャパシタ素子に蓄積して、前記第2キャパシタ素子との間で蓄積電荷の再配分を行う処理を前記デジタル信号の最上位ビット以外の各ビットごとに繰り返し行うとともに前記デジタル信号の最上位ビットの値に応じた電荷を前記第3キャパシタ素子に蓄積し、その後、前記第2キャパシタ素子と前記第3キャパシタ素子との間で蓄積電荷の再配分を行う電荷制御回路と、を備える。

【0013】本発明では、デジタル信号の最上位ビット以外の各ビットの値に応じた電荷を第1および第2キャパシタ素子に蓄積し、最上位ビットの値に応じた電荷を

第3キャパシタ素子に蓄積した後、これらキャパシタ素子に蓄積された電荷を再配分するため、第3キャパシタ素子に新たな電荷を蓄積するまでは第3キャパシタ素子は直前のデジタル信号に応じた電荷を保持し続けることができる。

【0014】

【発明の実施の形態】以下、本発明に係る表示装置について、図面を参照しながら具体的に説明する。以下では、表示装置の一例として液晶表示装置を例に取って説明する。

【0015】図1は液晶表示装置の第1の実施形態の概略構成を示すブロック図である。図1の液晶表示装置は、画素アレイ部1と駆動回路とが一体に形成されたガラス基板2を備えている。このガラス基板2は、不図示の対向基板と対向配置され、間に液晶層を挟んで封止される。

【0016】図1のガラス基板2とは別個に、駆動回路を制御するコントローラIC3と電源電圧を供給する電源IC4とを実装した基板が設けられ、これら基板間はフレキシブル・プリント基板等で接続される。

【0017】図1のガラス基板2上には、信号線と走査線が列設され信号線と走査線の各交点付近に画素TFTが形成された画素アレイ部1と、信号線を駆動する信号線駆動回路5と、走査線を駆動する走査線駆動回路6とが設けられている。

【0018】信号線駆動回路5は、スタートパルスを順にシフトさせたシフトパルス生成するシフトレジスタ11と、デジタル画素データを供給するデータバス12と、シフトパルスに同期させてデジタル画素データを順次ラッチするサンプリングラッチ13と、サンプリングラッチ13のラッチ出力をまとめて同タイミングでラッチするロードラッチ14と、デジタル画素データの上位側ビット列に基づいて基準電圧を選択する電圧選択回路15と、選択された基準電圧に基づいてデジタル画素データをD/A変換するDAC16と、D/A変換されたアナログ映像信号を増幅するアンプ（以下、AMP）17と、AMP17の出力をどの信号線に供給するかを切り替える信号線選択回路18と、タイミング制御回路19と、基準電圧生成用の分圧抵抗ラダー20とを有する。

【0019】図2は信号線駆動回路5の内部構成を示すブロック図である。図2のデータ分配回路21は、図1のシフトレジスタ11とデータバス12に対応する。また、図2では、DAC16とAMP17をまとめて一つのブロックで表している。

【0020】信号線駆動回路5には、電源IC4から3種類の基準電圧V1、Vm、V9が供給される。基準電圧Vmは、最大基準電圧V1と最小基準電圧V9との間の電圧である。

【0021】信号線駆動回路5内の分圧抵抗ラダー20

は、基準電圧V1、Vm、V9に基づいて9種類の基準電圧V1～V9を生成して電圧選択回路15に供給する。分圧抵抗ラダー20の内部には、不図示の抵抗素子が直列に複数接続されており、これら抵抗素子の段間から9種類の基準電圧V1～V9が取り出される。望ましくは、Vmが $(V1 + V9) / 2$ に近い方が良い。抵抗ラダーの消費電力は $(V1 - Vm)$ の自乗/ $(V1$ とVmの間の抵抗) $+ (Vm - V9)$ の自乗/ $(Vm$ とV9の間の抵抗)で表すことができ、この値を最小化できるからである。

【0022】DAC16は、電圧選択回路15から出力された基準電圧Vr1、Vr2を用いて、デジタル画素データの低位3ビットに応じた電圧を生成する。DAC16で生成された電圧はAMP17で増幅された後、信号線選択回路18に供給される。

【0023】信号線選択回路18は、AMP17からの電圧に対応する信号線に供給する前に、信号線のプリチャージを行う。プリチャージ電圧として、電圧選択回路15から出力された基準電圧Vr1、Vr2が用いられる。

【0024】図3はDAC16とAMP17の詳細構成を示す回路図である。図示のように、DAC16は、デジタル画素データの低位3ビットのうち最上位ビットを除く2ビットD1、D0の値に応じて基準電圧Vr1、Vr2のいずれか一方を選択するスイッチS11と、デジタル画素データの最上位ビットの値に応じて基準電圧Vr1、Vr2のいずれか一方を選択するスイッチS12と、デジタル画素データの最上位ビット以外の各ビットの値に応じた電荷を蓄積可能なキャパシタ素子（第1キャパシタ素子）C1と、キャパシタ素子C1との間で蓄積電荷を再配分可能なキャパシタ素子（第2キャパシタ素子）C2と、デジタル画素データの最上位ビットの値に応じた電荷を蓄積可能なキャパシタ素子（第3キャパシタ素子）C3と、デジタル画素データの最下位ビットD0の値に応じた電荷をキャパシタ素子C1に蓄積する際にオンするスイッチS0と、キャパシタ素子C1、C2間で蓄積電荷の再配分を行うか否かを切り替えるスイッチ（第1切替回路）S1と、ビットD1の値に応じた電荷をキャパシタ素子C1に蓄積する際にオンするスイッチS2と、ビットD2の値に応じた電荷をキャパシタ素子C3に蓄積する際にオンするスイッチ（第2切替回路）S3と、キャパシタ素子C2、C3間で蓄積電荷の再配分を行うか否かを切り替えるスイッチ（第3切替回路）S4とを有する。

【0025】AMP17は、差動増幅器17aと、差動増幅器17aの反転入力端子と出力端子との間に接続されたスイッチISPと、スイッチISPおよび信号線負荷30の接続点aとキャパシタ素子C3およびスイッチS3、S4の接続点bとの間に接続されたスイッチAFBとを有する。

【0026】差動増幅器17aの反転入力端子にはキャ

パシタ素子C3が接続され、正転入力端子には基準電圧Vrefが供給される。

【0027】上述した各スイッチS0～S3, S11, S12, ISP, AFB, XSWの切替制御は電荷制御回路31により行われる。

【0028】図4はDAC16の動作タイミング図である。以下、図4の動作タイミング図に基づいて、DAC16の動作を説明する。時刻t1にロード信号が入力されると、DAC16にデジタル画素データD2～D0が入力される。時刻t2～t3の間はスイッチS0がオンし、デジタル画素データのビットD0の値に応じた電荷がキャパシタ素子C1に蓄積される。具体的には、ビットD0が「1」であれば、基準電圧Vr1に応じた電荷がキャパシタ素子C1に蓄積され、「0」であれば、基準電圧Vr2に応じた電荷がキャパシタ素子C1に蓄積される。また、キャパシタ素子C2には、基準電圧Vr2に応じた電荷が蓄積される。

【0029】時刻t3～t4の間はスイッチS1がオンし、キャパシタ素子C1, C2の間で電荷の再配分が行われる。その後、時刻t4～t5の間はスイッチS2がオンし、デジタル画素データのビットD1の値に応じた電荷がキャパシタ素子C1に蓄積される。

【0030】その後、時刻t5～t6の間は、スイッチS1がオンし、キャパシタ素子C1, C2の間で電荷の再配分が行われる。これにより、キャパシタ素子C1, C2には、ビットD1, D0の値に応じた電荷が蓄積される。

【0031】時刻t6までは、スイッチAFB, XSWはオン状態であり、キャパシタ素子C3に蓄積された電荷に応じた電圧、すなわち直前のデジタル画素データに対応する電圧Voldが信号線負荷30に供給される。また、AMP17の入出力端子間のスイッチISPはオフであり、AMP17は時刻t6まではVoldを信号線に供給しつづける。

【0032】その後、時刻t6～t7の間は、スイッチS3がオンし、ビットD2の値に応じた電荷がキャパシタ素子C3に蓄積される。また、スイッチAFB, XSWがオフする代わりにスイッチISPがオンし、AMP17はキャパシタ素子C3の右端にAMP17の動作閾値電圧を充電するように動作する。

【0033】その後、時刻t7～t8の間は、スイッチS4がオンする。これにより、キャパシタ素子C2, C3との間で蓄積電荷の再配分が行われる。この結果、キャパシタ素子C2, C3には、デジタル画素データのビットD0～D2の値に応じた電荷が蓄積され、電圧Vnewとなる。このとき、スイッチISPはオン状態であり、かつXSWはオフ状態であるため、AMP17からはキャパシタ素子C3の蓄積電荷に応じた電圧が出力されない。

【0034】以上のように、キャパシタ素子C3の左端

には、デジタル画素データのビットD0～D2の値に応じた電荷が蓄積されて電圧Vnewが充電され、キャパシタ素子C3の右端にはAMP17の動作閾値電圧が充電され、AMP17のサンプリング動作が完了する。

【0035】時刻t8以降は、スイッチISPがオフしてスイッチXSW, AFBがオンし、キャパシタ素子C3の蓄積電荷に応じた電圧が信号線負荷30に供給する書き込み動作を行う。すなわち、アナログスイッチAFBを介してキャパシタ素子C3の左端にフィードバックされる電圧がVnewに等しくなるまで、AMP17が所定の方向の電流を信号線負荷に書き込み続ける。

【0036】図5は本実施形態の信号線駆動回路5の動作タイミング図である。時刻t11のときにスタートパルスXSTが供給されると、サンプリングラッチ13は、赤色奇数画素を順にラッチし、1水平ライン分の赤色奇数画素のラッチが終了した時点t12で、ロードラッチ14は1水平ライン分の赤色奇数画素をまとめて同時にラッチする。ロードラッチ14の出力は、DAC16に入力されてD/A変換が行われる。

【0037】赤色奇数画素についてのDAC16でのD/A変換動作に並行して、サンプリングラッチ13は1水平ライン分の赤色偶数画素のラッチを行う（時刻t13～t14）。その後、サンプリングラッチ13は、1水平ライン分の緑色奇数画素、緑色偶数画素、青色奇数画素および青色偶数画素のラッチを順に行う。

【0038】本実施形態の信号線駆動回路5は、1水平期間（1H）ごとにコモン電極の電圧を反転するHコモン反転駆動を行う。

【0039】図6はHコモン反転駆動の一例を示す信号線駆動回路の回路図である。図示のように、信号線駆動回路5内には、回路5bが所定間隔で繰り返し設けられている。

【0040】回路5bでは、サンプリングラッチ13は、シフトレジスタ11からのシフトクロックに同期させてデジタル画素データをラッチする。

【0041】続いて、サンプリングラッチ13は、レベルシフト後のラッチデータを再ラッチする。DAC16内の上位3bitD/Aは、サンプリングラッチ13のラッチデータの上位3ビットに基づいて基準電圧を選択し、選択された基準電圧を用いて、下位3bitD/Aはサンプリングラッチ13のラッチデータの下位3ビットをD/A変換する。

【0042】D/A変換されたアナログ映像信号は、AMP17でサンプリングされた後、信号線選択回路18を介して、対応する信号線に供給される。

【0043】このように、本実施形態では、DAC16によるD/A変換動作のタイミングとAMP17のサンプリング動作のタイミングを一部重複させることにより、信号線書き込み時間を十分に長く確保することができる。したがって、DAC16やAMP17を複数の信

号線で共有することも可能になり、回路規模を削減できる。

【0044】上述した実施形態では、液晶表示装置の信号線駆動回路5に用いられるDAC16を例にとって説明したが、本発明のデジタルアナログ変換回路は、各種の用途に適用可能である。また、信号線駆動回路5の動作タイミングは図5に示したものに限定されない。さらに、信号線駆動回路5の極性反転駆動は、Hコモン反転駆動以外の方式、例えばVコモン反転駆動を採用してもよい。

【0045】また、AMP17は差動増幅器以外のものを用いてもよい。たとえばpチャネルトランジスタとnチャネルトランジスタを電源間に直列して構成するインバータでもよい。この場合はVref端子は無くなる。この場合のDAC16の回路は図8のようになる。図8のキャパシタ素子C3は、図4の時刻t7からt8の間にキャパシタ素子C3にサンプリングした電圧を、時刻t8以降にアナログスイッチAFBを介して容量C3に入力される（フィードバックされる）信号線電位と比較するコンパレータとして作用する。また、AMP17の電圧出力精度を高めるために、複数のコンパレータを直列して用いることが有効である。

【0046】

【発明の効果】以上詳細に説明したように、本発明によれば、デジタル信号の最上位ビット以外の各ビットの値に応じた電荷を第1および第2キャパシタ素子に蓄積し、最上位ビットの値に応じた電荷を第3キャパシタ素子に蓄積した後に、これらキャパシタ素子に蓄積された電荷を再配分するため、第3キャパシタ素子に新たな電荷を蓄積するまでは第3キャパシタ素子は直前のデジタル信号に応じた電荷を保持し続けることができる。したがって、本発明のデジタルアナログ変換回路を液晶表示装置の信号線駆動用に適用すると、信号線に電圧を供給する時間を長くすることができ、輝度むら等が起きにく

くなくて表示品質が向上する。

【図面の簡単な説明】

【図1】液晶表示装置の第1の実施形態の概略構成を示すブロック図。

【図2】信号線駆動回路の内部構成を示すブロック図。

【図3】DACとAMPの詳細構成を示す回路図。

【図4】DACの動作タイミング図。

【図5】信号線駆動回路の動作タイミング図。

【図6】Hコモン反転駆動の一例を示す信号線駆動回路の回路図。

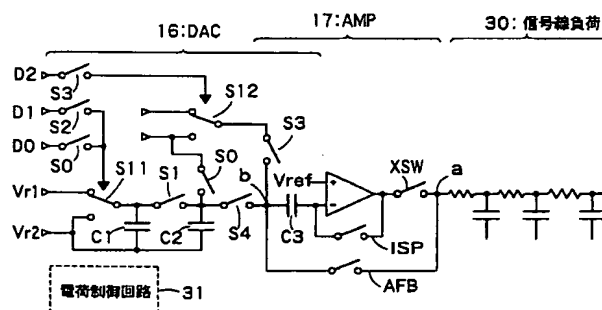
【図7】ガラス基板上にポリシリコンTFTを用いて構成された従来のDACの回路図。

【図8】Vref端子を省略したDACとAMPの詳細構成を示す回路図。

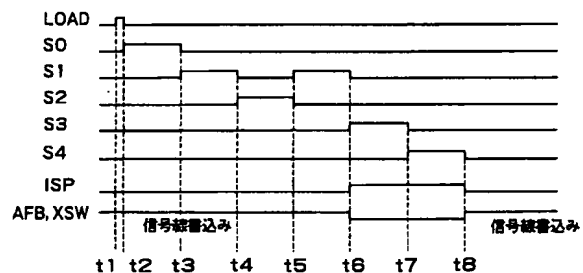
【符号の説明】

- 1 画素アレイ部
- 2 ガラス基板
- 3 コントローラIC
- 4 電源IC
- 5 信号線駆動回路
- 6 走査線駆動回路
- 11 シフトレジスタ
- 13 サンプリングラッチ
- 14 ロードラッチ
- 15 電圧選択回路
- 16 DAC
- 17 AMP
- 18 信号線選択回路
- 20 分圧抵抗ラダー
- 30 信号線負荷
- 31 電荷制御回路
- S0～S3, S11, S12 スイッチ
- C1～C3 キャパシタ素子

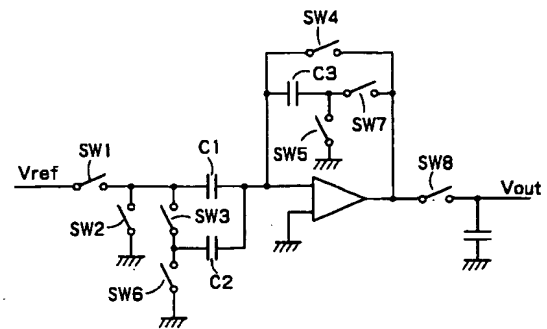
【図3】



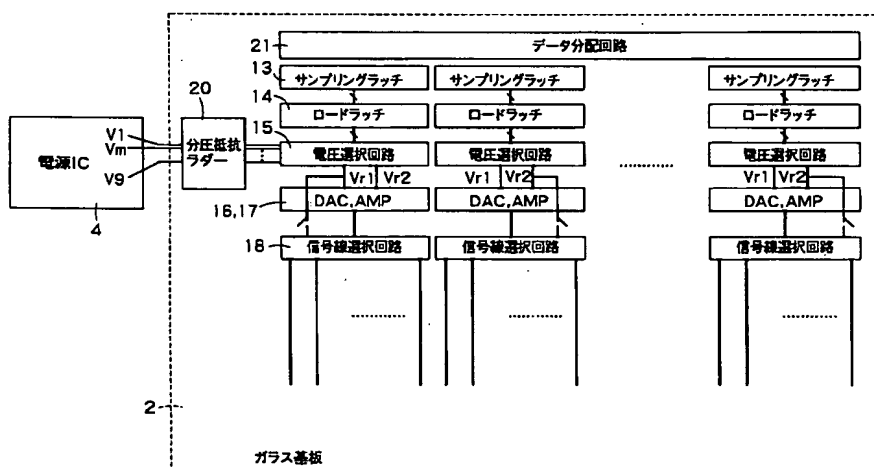
【図4】



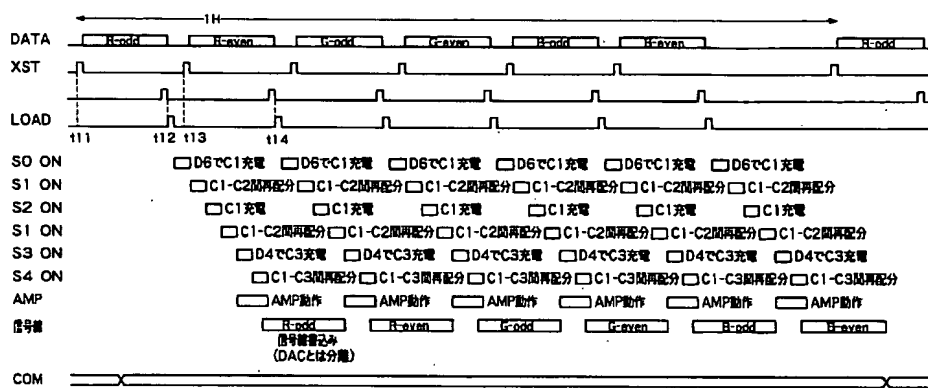
【図 7】



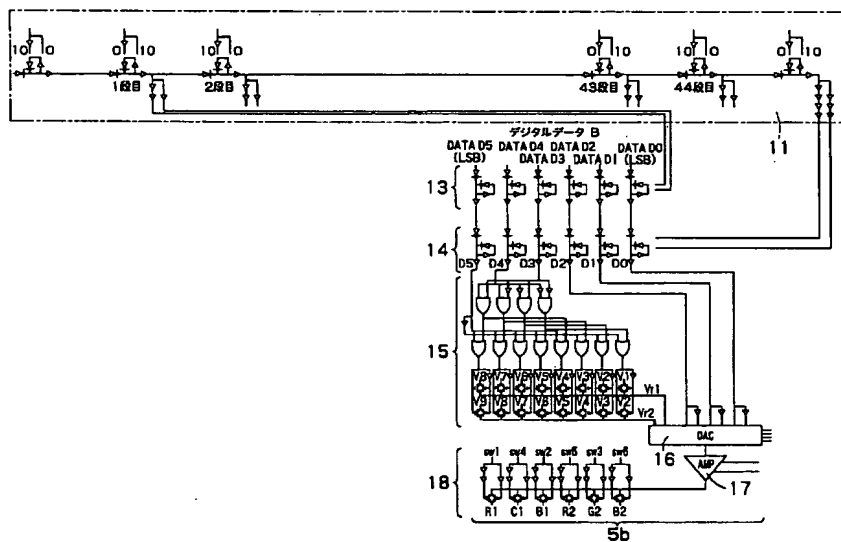
【図 2】



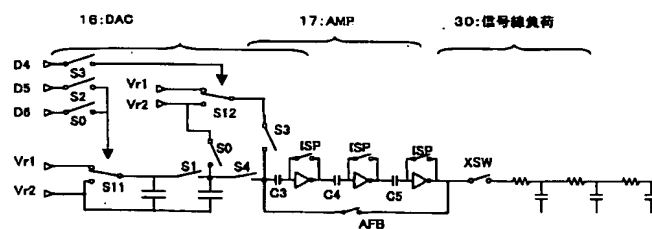
【図 5】



【図 6】



【図 8】



フロントページの続き

F ターム (参考) 5C006 AA01 AA16 AF83 BB16 BC12
 BC20 BF37 EB05 FA14 FA22
 5C058 AA06 BA02 BA35 BB05
 5C080 AA10 BB05 DD05 DD08 EE29
 FF11 JJ02 JJ03 JJ04
 5J022 AB07 BA05 CE01 CF02 CF07
 CG01

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.